

Modelo de Software Defined Radio de procesamiento en banda base, compatible con el estándar WCDMA e IEEE802.11g OFDM en su enlace de subida

*Base-band Processing Model for Software Defined Radio, compatible with both
IEEE802.11g OFDM and WCDMA standards in the Uplink*

Rodríguez-Abdalá V.I.

*Departamento de Electrónica y Telecomunicaciones
Centro de Investigación Científica y Educación Superior de
Ensenada (CICESE)
Baja California
Correo: virodrig@cicese.mx*

Sánchez-García J.

*Departamento de Electrónica y Telecomunicaciones
Centro de Investigación Científica y Educación Superior de
Ensenada (CICESE)
Baja California
Correo: jasan@cicese.mx*

Información del artículo: recibido: enero de 2008, reevaluado: noviembre de 2008, aceptado: mayo de 2011

Resumen

Hoy en día, existe una diversidad de estándares de comunicación inalámbrica, como: WCDMA (UMTS), CDMA2000, IEEE802.11(a, b, g, n), HiperLAN/2, entre otros, de manera que ahora el usuario se enfrenta a la problemática de usar una terminal diferente para conectarse a cada red. Una solución para este problema es *Software Defined Radio* (SDR) (Hickling, 2004), el cual propone usar una terminal común para conectarse a todas las redes de comunicación, con la característica de implementar cada estándar por medio de software y dejando en hardware aquello que no pueda desarrollarse en software. El software se ejecutará en un dispositivo de hardware reprogramable, ya sea un procesador de propósitos generales, un procesador digital de señales, un FPGA o una combinación de los anteriores, permitiendo que la terminal pueda programarse, reprogramarse o adaptarse al estándar de comunicación disponible en el entorno (Platbrood *et al.*, 2003). Este artículo describe los elementos y etapas necesarias en un modelo de radio programable SDR en banda base, capaz de conectarse a una radiobase compatible con el estándar de comunicación celular de tercera generación WCDMA en su enlace de subida (UL) y a un punto de acceso (AP) de red inalámbrica compatible con el estándar IEEE802.11g/OFDM.

Descriptorios

- radio programable
- CDMA de banda ancha
- red local inalámbrica
- arreglo lógico programable
- procesador digital de señales
- punto de acceso inalámbrico

Abstract

Nowadays there are a great diversity of Wireless Communication Networks standards, such as WCDMA (UMTS), CDMA2000, IEEE802.11(a, b, g, n), and HyperLAN/2, among others, this has generated the need for the user to get a different terminal to connect to each network. A solution to this problem is to use Software Defined Radio (SDR) technology (Hickling, 2004), which proposes a common terminal able to connect to any communication network, where each standard will be implemented mainly through software, letting for hardware just what could not be implemented by software. The software will be executed in a programmable hardware device, such as a general purpose microprocessor, a digital signal processor, a FPGA or a combination of these technologies, allowing the terminal to be programmed, reprogrammed or adapted to the communication standard available in the environment (Platbrood et al., 2003). This paper describes the elements and steps required in a programmable SDR model in baseband, able to connect to a third generation cellular standard (WCDMA) base station –in the uplink– and to communicate with an Access Point from an IEEE802.11g/OFDM Wireless LAN.

Keywords

- software defined radio
- wideband CDMA
- wireless LAN
- field programmable gate array
- digital signal processor
- wireless access point

Introducción

La evolución del software radio real está encaminada hacia una combinación de varias técnicas. Ésta incluye antenas inteligentes, antenas multibanda y dispositivos de radio frecuencia de banda ancha; los convertidores analógicos-digitales de banda ancha y los convertidores digitales-analógicos que acceden instantáneamente al espectro de los GHz; el procesamiento en banda base (BB) y en frecuencia intermedia (FI), que se han implementado en microprocesadores programables de propósitos generales.

Este *Software Defined Radio* (SDR) resultante, promueve la evolución del hardware programable, incrementando su flexibilidad al incrementar su capacidad de programación. El *Software Radio Ideal* representa el punto máximo de flexibilidad en esta evolución, aunque puede ser posible que nunca llegue a implementarse (Mitola, 2000).

La característica de flexibilidad de *Software Radio* ofrecida por su hardware programable, permitirá la implementación de un dispositivo que pueda conectarse a múltiples estándares de comunicación con una buena eficiencia de desempeño y consumo de energía requeridos por dichos estándares (Rauwerda et al., 2004).

En este artículo se describen las etapas que conforman un modelo de radio programable (SDR) en banda base, programado con los requerimientos de banda base para conectarse al estándar de comunicación celular WCDMA (UMTS), que es una tecnología móvil inalámbrica de tercera generación (3G), en su enlace de subida (UL) y al estándar de redes inalámbricas IEEE802.11g con OFDM en la capa física.

Descripción de capas físicas

IEEE802.11g OFDM

El principio básico de OFDM consiste en repartir un flujo de datos de alta velocidad en varios flujos de datos de baja velocidad, que son transmitidos de manera simultánea sobre un número de subportadoras. La cantidad relativa de dispersión en el tiempo, causada por el retardo en la propagación multitrayectoria, disminuye porque la duración del símbolo se incrementa por la baja tasa de transmisión de las subportadoras paralelas. El otro problema por resolver es la interferencia intersimbólica, la cual se elimina en su mayoría, introduciendo un tiempo de guarda entre cada símbolo OFDM. Este tiempo de guarda consiste en un prefijo cíclico que es una repetición del final del símbolo OFDM, con una duración 0.8 μ s para 802.11g.

Esto permite la convolución lineal de un canal multitrayectoria selectivo en frecuencia, que se modela como convolución circular y, a su vez, puede ser transformado al dominio de la frecuencia utilizando una transformada de Fourier discreta. Este enfoque permite el procesamiento simple del dominio de la frecuencia, como la estimación de canal y la equalización. Esto quiere decir que sobre cada tiempo de guarda el símbolo OFDM se extiende cíclicamente para evitar la interferencia entre subportadoras (Intini, 2000). Lo que se extiende es el número de bits de la representación binaria del símbolo.

En el caso del transmisor de IEEE802.11g, los datos binarios se codifican en un codificador convolucional de tasa 1/2. Esta tasa puede incrementarse a 2/3 y 3/4

por medio del proceso de recortado. Ya recortada la información se aplica la etapa de entrelazado. De acuerdo al estándar, todos los bits de datos deben de entrelazarse por medio de una matriz, en la cual se escriben los valores por renglones y se leen por columnas. El entrelazado está definido por una permutación de dos pasos. La primera permutación asegura que los bits codificados adyacentes se coloquen en subportadoras no adyacentes. La segunda permutación asegura que los bits codificados adyacentes se asignen entre los bits más significativos y menos significativos dentro de la constelación que se esté usando en ese momento. La primera permutación consiste en ingresar los datos renglón por renglón y leerlos columna por columna, los tamaños de la matriz de entrelazado se especifican en la tabla 1.

Tabla 1. Entrelazado de primera permutación

Modulador	Renglones	Columnas
BPSK	16	3
QPSK	16	6
16-QAM	16	12
64-QAM	16	18

La segunda permutación considera los bits codificados por símbolo OFDM (NCBPS) y el parámetro s , tal como lo define la ecuación 1.

$$j = s \times \text{floor}(i/s) + (i + \text{NCBPS} - \text{floor}(16 \times i/\text{NCBPS})) \bmod s \quad (1)$$

donde:

$$i = 0, 1, \dots, \text{NCBPS} - 1$$

El valor de s está determinado por el número de bits por subportadora, NBPSC, de acuerdo con la ecuación 2.

$$s = \text{máx}(\text{NBPSC}/2, 1) \quad (2)$$

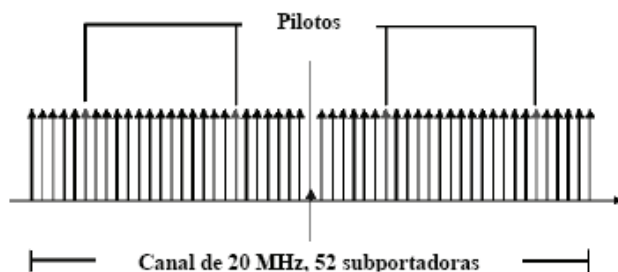


Figura 1. Distribución de subportadoras en OFDM

La segunda permutación tiene la característica de que en los dos primeros esquemas de modulación (BPSK y QPSK), no se afecta en nada la señal que entra, pero en los otros dos moduladores (16-QAM y 64-QAM), sí se presenta una permutación en las columnas.

Después del entrelazado, esta información se convierte en valores de modulación digital, ya sea QAM o PSK. Se agregan 4 datos piloto cada 48 datos de información, resultando en total 52 valores QAM/PSK por símbolo OFDM. El símbolo se modula en 52 subportadoras aplicando la transformada rápida inversa de Fourier (IFFT), tal como se muestra en la figura 1. A la salida se aplica una extensión cíclica para hacer robusto el sistema a la propagación por multitrayectoria, como se puede observar en la figura 2 (Villanen, 2004).

Básicamente, el receptor realiza la operación inversa que el transmisor, con algunos procesos adicionales. En el primer paso, el receptor tiene que estimar el desfase en frecuencia y el tiempo del símbolo, esto se logra usando unos símbolos de entrenamiento en el preámbulo. Obtenida la sincronización de las señales, procede a remover el prefijo cíclico de la señal. Ya removida la extensión cíclica, se aplica a la señal la transformada rápida de Fourier (FFT) para recuperar los 52 valores QAM de todas las subportadoras recibidas. Los símbolos de entrenamiento y las subportadoras pilotos se usan para corregir la respuesta al canal. Los valores QAM son mapeados a valores binarios y se separan los valores de las señales pilotos y la señal de información

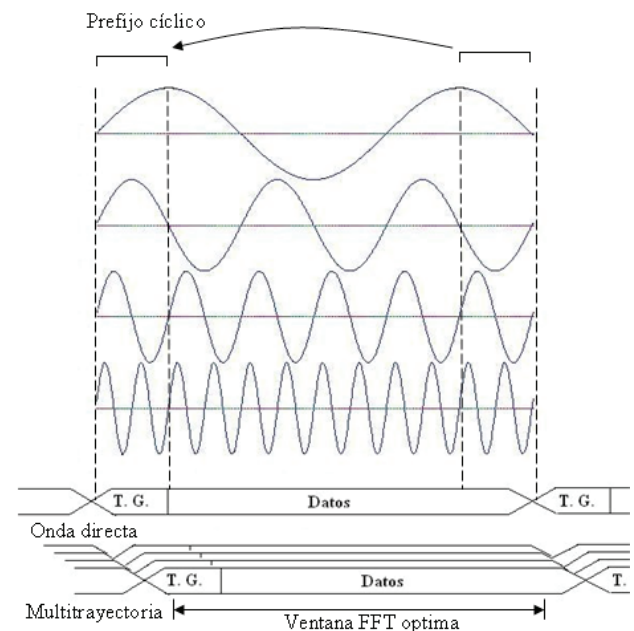


Figura 2. Extensión cíclica

que desea el usuario, donde esta última pasa a la etapa de decodificación y demultiplexado. Si la señal de datos del usuario fue recortada en su transmisión se pasa a una etapa de relleno, que consiste en poner bits aleatoriamente en donde la información fue recortada en el transmisor y, finalmente, se aplica el decodificador de Viterbi donde se decodifican los bits de información (IEEE, 1999).

WCDMA

UMTS ofrece una interfaz de radio denominado UTRAN (UMTS *Terrestrial Radio Access Network*). Dicha interfaz está basada en tecnología CDMA (*Code Division Multiple Access*), permitiendo aumentar considerablemente la velocidad de transferencia de datos y soporta dos modos de operación: FDD (*Frequency Division Duplex*) y TDD (*Time Division Duplex*). La tecnología de transmisión FDD es adecuada para tráfico simétrico y ofrece movilidad total. TDD es más adecuada para tráfico asimétrico, como navegar en Internet, y ofrece una movilidad limitada. Las características principales de estos modos de operación se muestran en la tabla 2 (Castro, 2001).

En UTRAN los datos llegan a las unidades de codificación y multiplexado dentro de bloques de transporte en un periodo determinado. El intervalo de tiempo de transmisión (TTI) depende de la configuración del canal de transporte y la velocidad con que se desea transmitir la información, éste puede ser: 10 ms, 20 ms, 40 ms y 80 ms. Los pasos principales, válidos para FDD

y TDD dentro del multiplexado y codificación del canal son (3 GPPa, 2004):

- agregar CRC a cada bloque de transporte,
- concatenar el bloque de transporte y la segmentación del código de bloque,
- codificación del canal,
- ajuste de tasa,
- inserción de bits indicadores de transmisiones discontinuas (DTX),
- entrelazado,
- segmentación de los marcos de radio,
- multiplexado de los canales de transporte,
- segmentación del canal físico,
- mapeo a los canales físicos.

Se considera un tamaño de paquete básico de 336 bits junto con un CRC de 16 bits basado en la ecuación 3:

$$g_{CRC16}(D) = D^{16} + D^{12} + D^5 + 1 \tag{3}$$

Dependiendo de la velocidad de transmisión se obtiene el valor del parámetro B, el cual define la cantidad de paquetes que se concatenarán. Los valores comunes del parámetro B se muestran en la tabla 3.

Ya concatenados los bloques de transporte, pasan por un turbo código de tasa $R = 1/3$ y al finalizar la codificación se agrega una cola de bits de acuerdo con la ecuación 4:

$$\text{tail} = \text{ceil}[12*(B/9)] \tag{4}$$

Tabla 2. Comparación entre UTRA TDD y FDD

	UTRA TDD	UTRA FDD
Método de acceso múltiple	TDMA, CDMA	CDMA
Método duplex	TDD	FDD
Separación de canal	5 MHz (nominal)	
Tasa de chip de portadora	3.84 Mcps	
Ranuras de tiempo	15 ranuras/trama	
Longitud de trama	10 ms	
Concepto de multitasa	Multicódigo, multiranuras y OVSF	Multicódigo y OVSF
Código FEC	Código convolucional $R=1/2$ o $1/3$, $K=9$, turbo códigos (8 estados PCCC $R=1/3$) o codificación de acuerdo al servicio.	
Entrelazado	Intertramas (10, 20, 40 y 80 ms)	
Modulación	QPSK	
Tipos de ráfagas	Tres tipos: Ráfagas de tráfico, de acceso aleatorio y de sincronización.	No aplica
Detección	Coherente, basada en el midamble	Coherente, basada en los símbolos pilotos.
Canal dedicado de control de potencia	Subida: lazo abierto; 100 Hz o 200 Hz Bajada: lazo cerrado; con tasa menor a 800 Hz	Lazo rápido cerrado; tasa = 1500 Hz
Handover intra-frecuencia	Hard Handover	Soft Handover
Handover inter-frecuencia	Hard Handover	
Asignación de canal	DCA lento y rápido	No requiere DCA
Cancelación de interferencia intracélulas	Soportado por joint detection	Soportado por receptores avanzados en la estación base
Factor de esparcimiento	1 ... 16	4 ... 512

El bloque de bits obtenido pasa a la etapa de primer entrelazado, donde los bits se permutan de acuerdo con la tabla 4.

Al término del primer entrelazado, el bloque de datos se divide en dos partes iguales en el denominado proceso de segmentación de los marcos de radio, donde se aplica por separado un ajuste de tasa por medio de recortado o relleno. Una vez aplicado el ajuste se mapean los datos de información y control a los canales de tráfico, en donde se aplica un segundo entrelazado (tabla 5).

Ya entrelazado por segunda ocasión el bloque de transporte, se mapean los canales físicos para aplicar los procesos de esparcimiento.

Tabla 3. Parámetro B

Tasa (Kbps)	B
64	0,1,2,3,4
128	0,1,2,4,8
144	0,1,2,4,8,9

Tabla 4. Patrón de permutación primer entrelazado

TTI (ms)	Columnas	Permutación
10	1	<0>
20	2	<0,1>
40	4	<0,2,1,3>
80	8	<0,4,2,6,1,5,3,7>

Tabla 5. Patrón de permutación segundo entrelazado

Columnas	Permutación
30	0, 20, 10, 5, 15, 25, 3, 13, 23, 8, 18, 28, 1, 11, 21, 6, 16, 26, 4, 14, 24, 19, 9, 29, 12, 2, 7, 22, 27, 17

El proceso de esparcimiento en UTRAN, consiste en dos operaciones separadas: canalización y mezclado. La canalización transforma cada símbolo de datos en un número mayor de chips. Este cociente (número de chips/símbolo) se llama SF (*Spreading Factor*). El proceso de canalización se muestra antes del proceso de mezclado (3GPPb, 2004).

Los códigos de canalización son ortogonales (OVSF), lo que significa que, en un ambiente ideal, no interfieren unos con otros. Sin embargo, esta propiedad se logra sólo si los códigos están sincronizados en el tiempo. Esta propiedad se utiliza en el enlace de bajada para separar los diferentes usuarios dentro de una célula, y en el enlace de subida para separar los canales físicos (DPDCH y DPCCH) de un usuario. La razón por la que esta propiedad no puede usarse para separar diferentes usuarios por la estación base en el enlace de subida, es que los móviles no se encuentran sincronizados en tiempo y, en consecuencia, sus códigos no son ortogonales. Sin embargo, en el modo TDD es posible tener una sincronización en el enlace de subida.

En el proceso de mezclado, las fases en los planos I y Q se multiplican por los códigos de mezclado, la señal resultante no queda afectada en su tasa ni en su ancho de banda, quedando en 3.84 Mcps; después se pasa a la etapa de modulación.

El esquema de modulación en UTRAN es QPSK para el enlace de bajada y HPSK (*Hybrid Phase Shift Keying*) para el enlace de subida. El sistema UTRAN utiliza la modulación QPSK en el enlace de bajada, con una velocidad de chip en modulación de 3.84 Mcps. Por su parte, en el enlace de subida, UTRAN utiliza un esquema de mezclado complejo. Este esquema adquiere va-

rios nombres, aunque UTRAN, generalmente utiliza el nombre de QPSK de canal dual, que consiste en dos moduladores BPSK, en donde uno transmite en I y el otro en Q. Otros nombres usados son: HPSK (*Hybrid Phase Shift Keying*) u OCQPSK (*Orthogonal Complex QPSK*). La razón principal para utilizarlos es que UTRAN debe resolver los problemas de la transmisión discontinua en el enlace de subida y el problema del consumo de potencia innecesario en el UE o equipo móvil (Castro, 2001).

Modelo Software Radio

Teniendo en cuenta las características de las diferentes capas físicas, se procede a simular el modelo de *Software Defined Radio* de procesamiento en banda base, con la particularidad de que sus componentes tienen que cumplir con la capacidad de adaptarse-reconfigurarse a la red que desee conectarse.

Los dos estándares muestran etapas o bloques de procesamiento que son similares entre ellos, de manera que se puede proponer un bloque único o común de procesamiento para los dos estándares. Las etapas donde coinciden o se presentan procesos similares son la sección de codificación y multiplexado, ya que fuera de ellos, IEEE802.11g OFDM realiza la Transformada Inversa de Fourier y WCDMA FDD realiza la codificación de canal por códigos OVSF, por lo que estos dos últimos procesos se implementarán en dos bloques independientes que se habilitarán por medio de bloques programados en el momento que sea requerido.

Parámetros de simulación

Se considera WCDMA en su configuración de 64 Kbps, 128 Kbps y 144 Kbps, en donde se usa un solo canal de tráfico con un bloque de transporte de 336 bits, el CRC de 16 bits, un turbo código con tasa de codificación $R = 1/3$ y un TTI de 20 ms. Para IEEE802.11g se usan las configuraciones de 6 Mbps, 9 Mbps, 12 Mbps, 18 Mbps, 24 Mbps, 36 Mbps, 48 Mbps y 54 Mbps, que requieren un codificador convolucional $R = 1/2$, con etapas de recotardo a $R = 2/3$ y $3/4$. Adicionalmente se requieren cuatro moduladores digitales: BPSK, QPSK, 16-QAM y 64-QAM.

El modelo propuesto se muestra en la figura 3, donde se puede observar que existe un módulo común de codificación y multiplexado con la capacidad de adaptarse al estándar que la terminal multimedia requiera en ese momento.

La información codificada y multiplexada se enruta al bloque del estándar al cual está conectada la termi-

nal, ya sea el módulo de IEEE802.11 o el módulo de WCDMA para que, de esta manera, sea transparente el envío de información hacia el Nodo B (estación base WCDMA) o el Punto de Acceso IEEE802.11g.

Multiplexado y codificación

La figura 4 muestra la etapa de multiplexado y codificación, la línea superior corresponde al proceso que se realiza con los datos de información. Cuando el modelo transmite en IEEE802.11g las etapas de CRC, concatenación de bloques de transporte, ajuste de tasa de WCDMA, multiplexado, cola WCDMA, segundo entrelazado WCDMA y la línea inferior que representa el canal de control DCH de WCDMA, se deshabilitan por medio de software, además de que el bloque primer entrelazado WCDMA-permutación 802.11g y codificador convolucional se configuran para realizar la operación de permutación y codificación de 802.11g.

Cuando el modelo opera en WCDMA se deshabilitan las etapas de recortado 802.11g y la segunda permutación 802.11g, por lo que se habilitan y reconfiguran el resto de las etapas de acuerdo al estándar WCDMA, como se muestra en la figura 5.

Módulo IEEE802.11g OFDM

La figura 6 muestra el módulo 802.11g, donde se realiza la modulación de IEEE802.11g OFDM. Los bloques en que se divide este módulo son el banco de modulación, la inserción de los pilotos y nulos, la operación IFFT y el prefijo cíclico del estándar.

El banco de modulación de la figura 7 contiene a los 4 moduladores de IEEE802.11g OFDM, que son BPSK, QPSK, 16 QAM y 64 QAM. En el bloque de IFFT es donde se aplica la transformada inversa de Fourier y se agrega el prefijo cíclico, como se muestra en la figura 8.

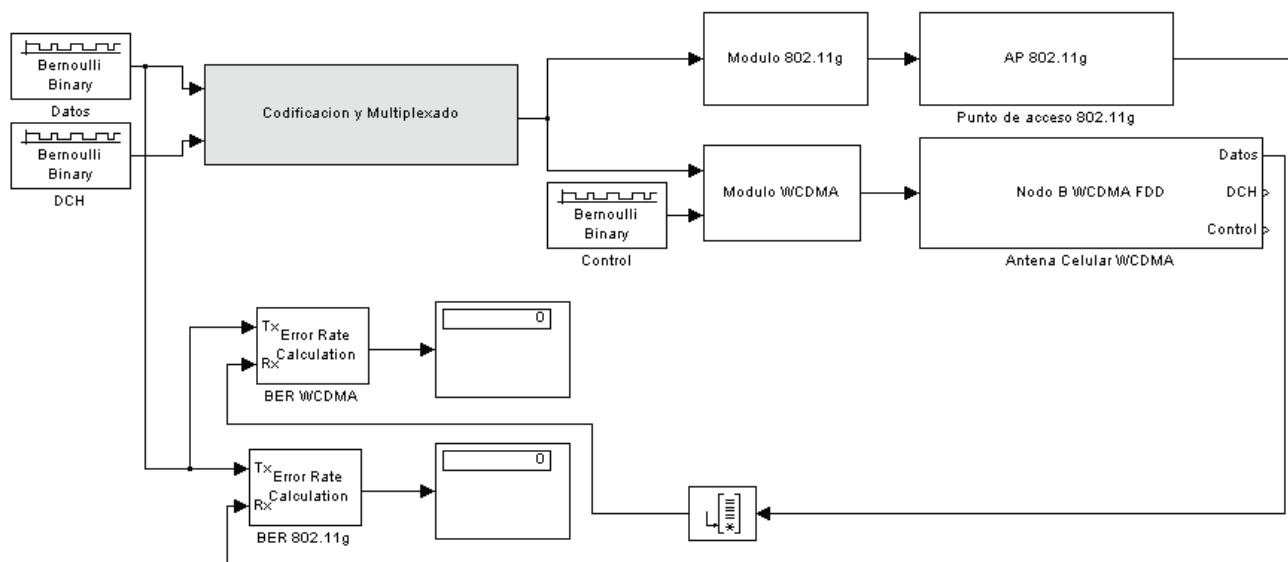


Figura 3. Modelo SDR IEEE802.11-WCDMA

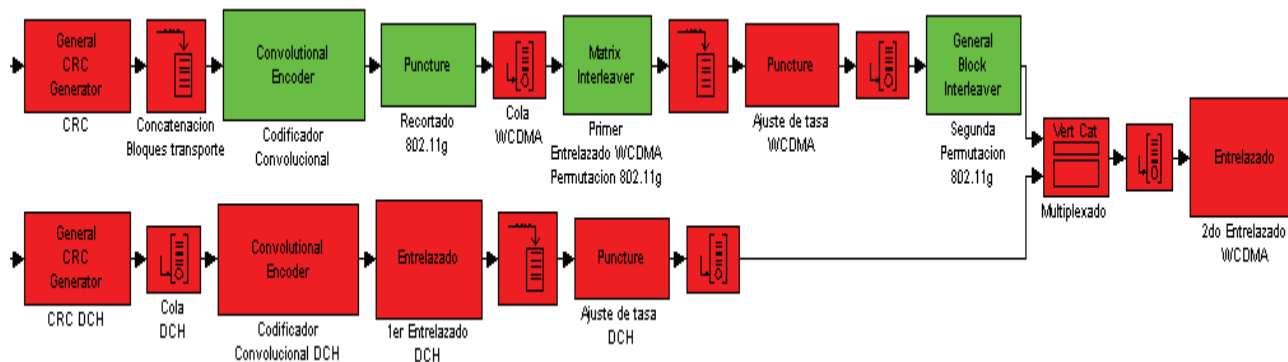


Figura 4. Multiplexado y codificación IEEE802.11-WCDMA configurado en IEEE802.11

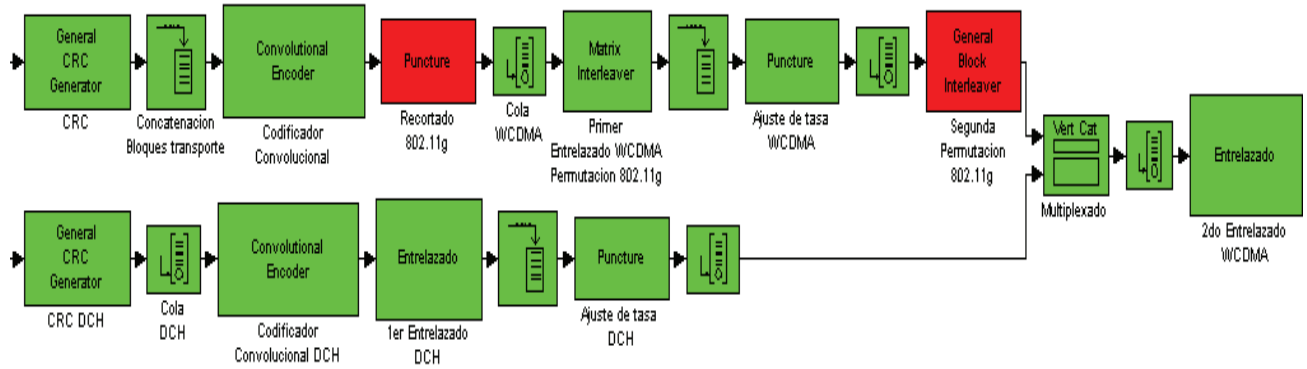


Figura 5. Multiplexado y codificación IEEE802.11-WCDMA configurado en WCDMA

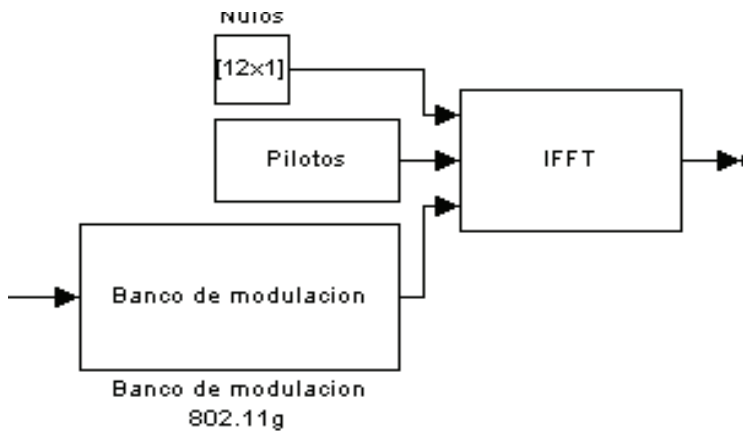


Figura 6. Módulo 802.11g

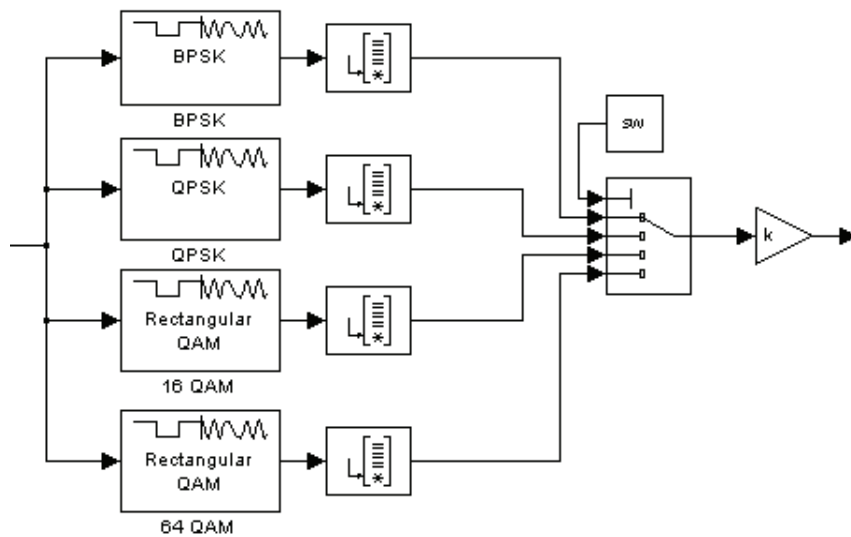


Figura7. Banco de modulación

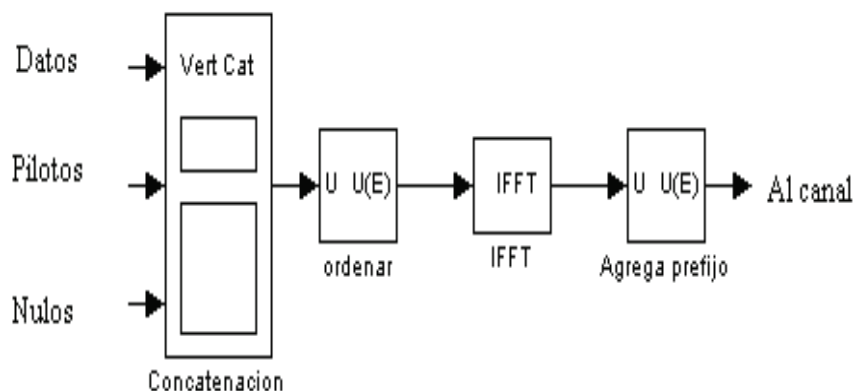


Figura 8. Bloque IFFT

Módulo WCDMA FDD

El módulo WCDMA está integrado por las etapas de codificación de canal, mezclado de la información y modulación, como se observa en la figura 9. El canal de datos y el canal de control DCH se procesan en paralelo, ya que serán transmitidos por dos moduladores BPSK, tal como lo indica el estándar.

En la figura 10 se observa la etapa de codificación de canal, donde los bloques de transporte son ensa-

chados de acuerdo al valor de SF. Esto se logra multiplicando el bloque de transporte por un código OVFS. La etapa de mezclado, que se observa en la figura 11, se aplica a la información recibida de la codificación del canal, ésta se enmascara por medio de un código Gold. La modulación es HPSK, que consiste en dos moduladores BPSK con un desfase de 90°, tal como se muestra en la figura 12.

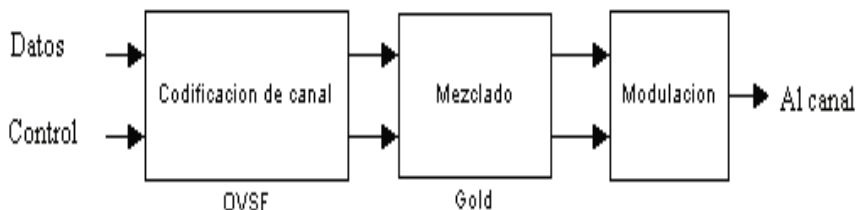


Figura 9. Módulo WCDMA

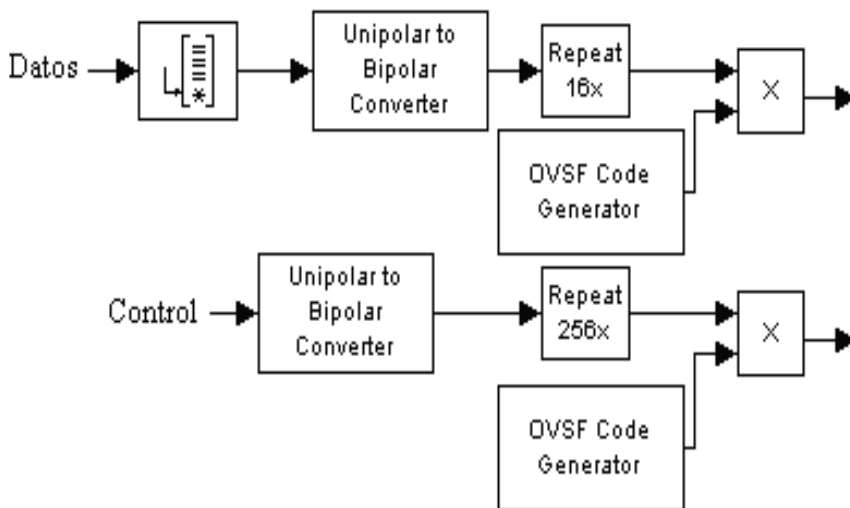


Figura 10. Codificación de canal

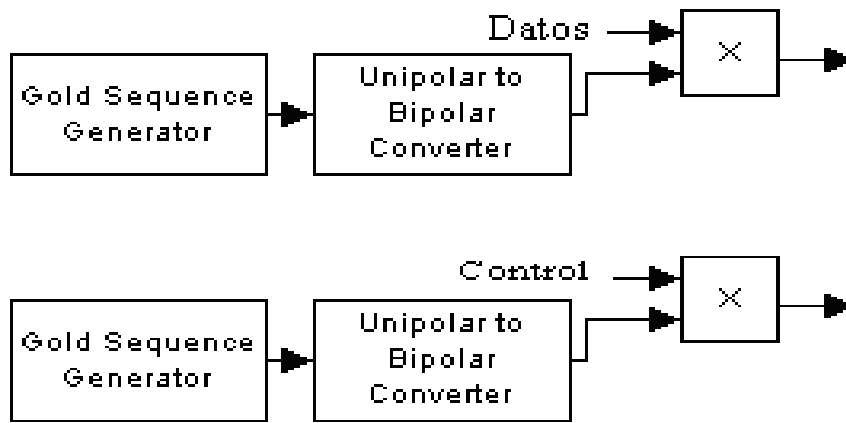


Figura 11. Mezclado de canal

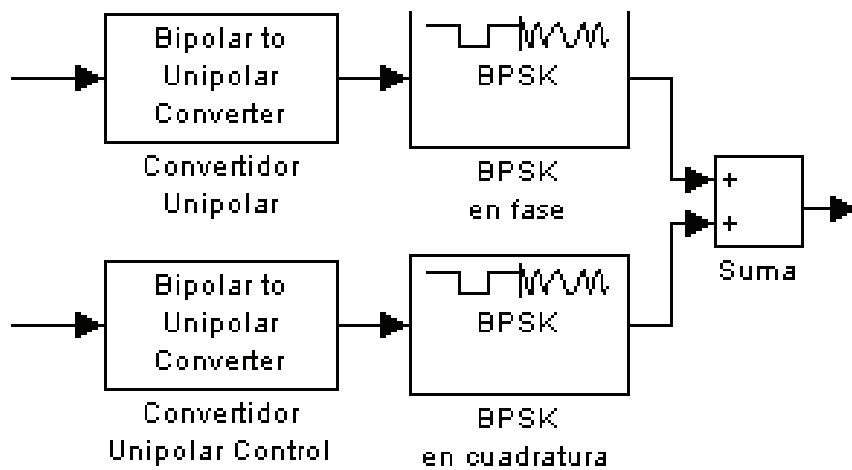


Figura 12. Modulación WCDMA en enlace de subida

Simulación del receptor

El modelo propuesto de *Software Radio* transmite en dos estándares totalmente distintos. Para comprobar su compatibilidad con IEEE802.11g y WCDMA, se agregaron a la simulación dos bloques, uno representa lo que es un punto de acceso (AP) IEEE802.11g y el otro una antena celular (Nodo B) de WCDMA. Estos dos bloques no están diseñados con *Software Radio*, por lo que pueden mostrar una cantidad mayor de bloques de procesamiento.

Resultados

La implementación de los diferentes estándares en Simulink, requiere ciertas consideraciones de programación, debido a limitaciones que el mismo ambiente de simulación implica. Para el desarrollo de la etapa de relleno y decodificador de Viterbi de los diferentes receptores, se modificó el estándar, tanto en IEEE802.11g como en WCDMA en su etapa de recepción, en el senti-

do de que éste indica que el relleno debe ser con 1's y 0's aleatorios, y esta nueva secuencia de datos entra al decodificador de Viterbi para obtener la información que realmente se transmitió, corregida por el algoritmo de Viterbi. En el simulador, esta etapa sufre una modificación ya que la etapa de relleno se realiza con 0's, y la secuencia de 1's y 0's, que entran a esta etapa en realidad es una secuencia de 1's y -1's, que es la misma información pero en bipolar negativo, la resultante de la etapa de relleno es una secuencia de 1's y -1's bipolares negativos con 0's insertados en los lugares donde deben estar los bits de relleno. Esta nueva secuencia ingresa al decodificador de Viterbi para corregirla y obtener la información transmitida. Esta modificación surge debido a que al ingresar al decodificador de Viterbi la secuencia de 1's y 0's, su capacidad correctora disminuye considerablemente. Otra modificación en los receptores de los dos estándares es la etapa de relleno, ya que el bloque de esta función en Simulink sólo inserta ceros, sin permitir que se inserte otro valor o una secuencia de valores con cierta distribución de probabilidad.

La etapa de codificación de WCDMA también se modificó respecto al estándar; en esta etapa se indica que la codificación se hace mediante turbo códigos y Simulink no cuenta con un bloque de turbo códigos o un generador de turbo códigos. Se propuso implementar un bloque de codificación que realice las modificaciones en el tamaño del paquete de datos aunque su contenido no sufra las modificaciones que realiza un codificador de turbo códigos. Este proceso, según indica el estándar, se realiza con turbo códigos para la codificación de datos a altas velocidades. En baja velocidad no es recomendable, debido a que el desempeño del turbo código es pobre. En el simulador esto significaría que el tiempo de procesamiento dedicado a la codificación disminuiría en cierta forma, aunque no se sabe con certeza de qué manera se afectarían los tiempos de simulación. La implementación del codificador de turbo

código en el modelo propuesto no representa problema alguno, ya que simplemente se añadiría el bloque codificador de turbo código a un lado del codificador convolucional usado para IEEE802.11g.

Al configurar el modelo de *Software Radio* para transmitir en WCDMA a una velocidad de 64 Kbps se puede observar en su espectro (figura 13) la información transmitida al canal, aunque no es fácil identificar la presencia de los moduladores digitales, pero en el dominio del tiempo podemos observar claramente la presencia de estos dos moduladores digitales que transmiten la información de manera paralela, uno en la parte real y el otro en la parte imaginaria, como se muestra en la figura 14.

Cuando el modelo de *Software Radio* se reconfigura por medio de software para que sea compatible con 802.11g, se define una velocidad de transmisión de 6

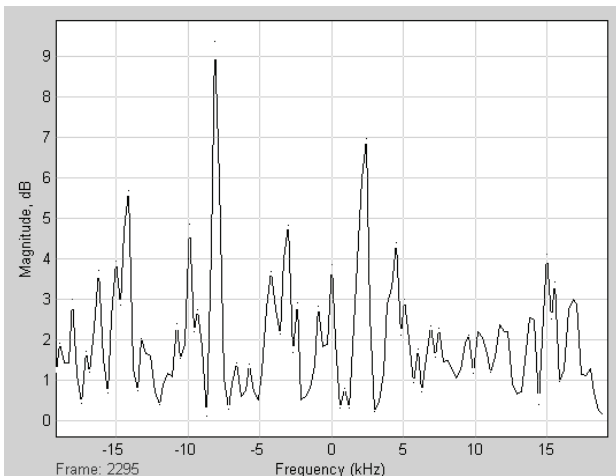


Figura 13. Espectro de la señal WCDMA en BB

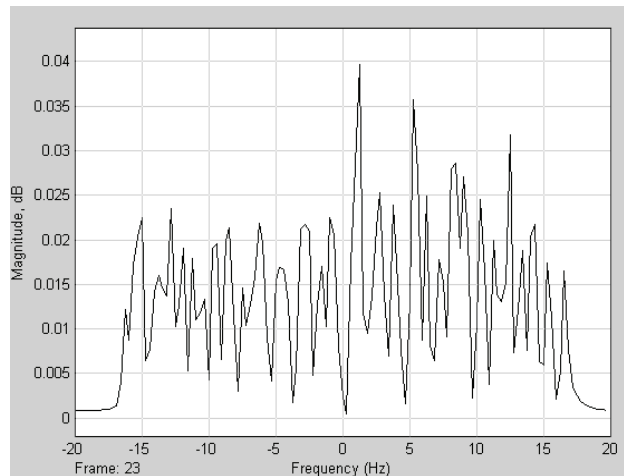


Figura 15. Espectro de la señal OFDM

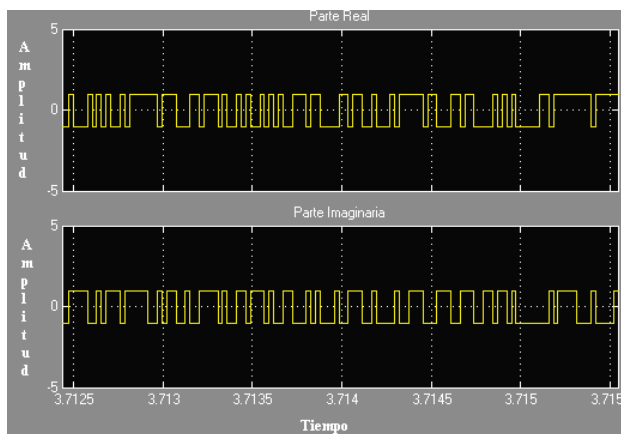


Figura 14. Señal WCDMA en el dominio del tiempo en BB modulada en Dual BPSK

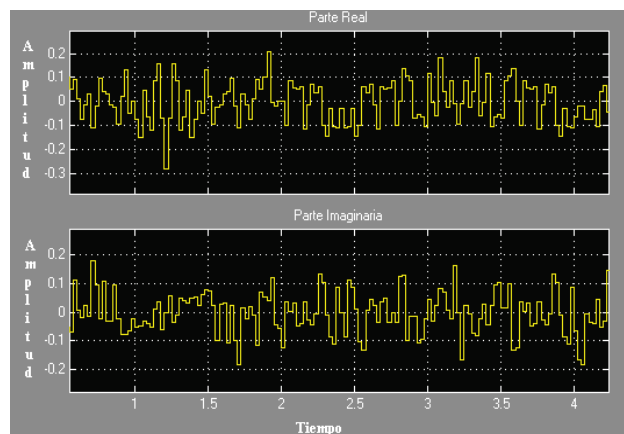


Figura 16. Señal OFDM en el dominio del tiempo

Mbps, de éste se obtienen las gráficas mostradas en la figura 15, que indican la presencia de las subportadoras ortogonales obtenidas al aplicar la IFFT a la señal de datos, moduladas digitalmente en el dominio de la frecuencia, y en la figura 16 donde se observan las muestras moduladas de la señal después de aplicar la IFFT en el dominio del tiempo, tanto a su parte real como a su parte imaginaria, ya que la señal transmitida por el canal, realizada en el dispositivo, consiste en las muestras de la IFFT.

Conclusiones

El trabajo desarrollado simula una manera de lograr la fusión de dos estándares de comunicación distintos, usando una plataforma común, donde las diferentes etapas de procesamiento de la información puedan ser manipuladas en sus parámetros para usarlas con diferentes estándares de acuerdo a los requerimientos del usuario en ese momento.

La parte central de este trabajo fue la identificación e implementación de las funciones comunes a las tecnologías (IEEE802.11g y WCDMA), lo que permite la reutilización de código para realizar los mismos procesos, pero con parámetros distintos. Otra parte importante de la tecnología de SDR es el diseño de la arquitectura común de hardware que deberá configurarse mediante software para trabajar en aquellas funciones que no sean comunes a ambas tecnologías. El uso de esta arquitectura común de hardware no implica que todas las etapas de procesamiento se realizarán por software, sino las que se encuentren en la etapa de banda intermedia, sin importar si las etapas son comunes o no entre los dos estándares de comunicación. La etapa de radio frecuencia (RF) se desempeñará por hardware, debido a que las velocidades que se requieren para trabajar sobre esas señales por medio de *Software Radio* no pueden alcanzarse con facilidad, lo que requeriría un procesador con una velocidad de reloj del doble, cuando menos, de la frecuencia de la portadora a la que se desee transmitir.

La simulación de microprocesadores DSP y FPGA es una limitante muy fuerte en Simulink, ya que en *Software Radio* la implementación del software se realiza sobre una plataforma de hardware universal, que está compuesta por estos elementos. Realizar el simulador de IEEE802.11g-WCDMA con bloques de simulación

que trabajan como si fueran microprocesadores u otro dispositivo programable, permitió definir los procesos con mejor desempeño en alguna etapa de procesamiento en especial, y los tiempos de ejecución fueron más confiables.

El comportamiento del simulador en las otras velocidades y configuraciones, tanto de WCDMA como de IEEE802.11g, mostró los resultados indicados por sus respectivos estándares, permitiendo que la reconfiguración de dispositivos de *Software Radio* sea un modo confiable y real de obtener un dispositivo móvil con capacidad de conexión a diferentes estándares de comunicación, definidos previamente, e incluso a nuevas tecnologías que puedan ser actualizadas por el usuario final.

Referencias

- Castro J.P. *The UMTS Network and Radio Access Technology: Air Interface Techniques for Future Mobile Systems*, 1ª ed., Chichester, Inglaterra, John Wiley and Sons, 2001, 354 p.
- Hickling. *True Software Radio – Myths and Realities*. IEEE PIMRC 2004, septiembre de 2004.
- IEEE-1999. Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications High-Speed Physical Layer in the 5 GHz Band. *IEEE Std 802.11a*, 1999, 83 p.
- Intini A.L. Orthogonal Frequency Division Multiplexing for Wireless Networks. *ATON Q1 2001 Progress Reports*. Santa Barbara, University of California, enero de 2000, 43 p.
- Mitola J. *Software Radio Architecture: Object-Oriented Approaches to Wireless Systems Engineering*, 1ª ed., Nueva York, John Wiley and Sons, 2000, 543 p.
- Platbrood, Ayadi. *Software and Baseband Signal Processing Requirements for Future sdr Terminal Reconfiguration*. SCOUT Workshop, septiembre de 2003.
- Rauwerda, Smit. Software Defined Radio and Heterogeneous Reconfigurable Hardware, en: *Proceedings of the 15th ProRISC workshop*, Veldhoven, the Netherlands, 25-26 de noviembre de 2004. pp. 125-132.
- Villanen J. 802.11a/g OFDM PHY. S-72.333 Postgraduate Course in Radio Communications (LV) of Helsinki University of Technology, Helsinki, Finlandia, marzo de 2004, 21 pp.
- 3rd Generation Partnership Project (3GPPa). Multiplexing and Channel Coding (FDD). TS 25.212. Versión 6.3.0., 2004, 85 pp.
- 3rd Generation Partnership Project (3GPPb). Spreading and Modulation (FDD). TS 25.213. Versión 6.1.0, 2004, 32 pp.

Semblanza de los autores

Víktor Iván Rodríguez-Abdalá. Maestro en ciencias en electrónica y telecomunicaciones, graduado en el Centro de Investigación Científica y de Educación Superior de Ensenada, Baja California (CICESE), en 2005. Desde 2011, es estudiante de doctorado en el Departamento de Electrónica y Telecomunicaciones del CICESE, trabajando en líneas de investigación de comunicaciones inalámbricas, *Software Defined Radio* (SDR) y procesamiento de señales para sistemas MIMO.

Jaime Sánchez-García. Realizó estudios de doctorado en ingeniería eléctrica con especialidad en comunicaciones en la Escuela de Ingeniería y Ciencias Aplicadas (SEAS), en The George Washington University, USA (2001). Es maestro en ciencias en electrónica y telecomunicaciones en el CICESE (1979), e ingeniero en comunicaciones y electrónica en la ESIME-IPN (1976). Es investigador titular "B" en el Departamento de Electrónica y Telecomunicaciones (DET) del CICESE, asimismo realiza investigación y docencia en el área de comunicaciones, así como evaluación de tecnologías de telecomunicaciones. Ha publicado varios artículos en revistas y congresos internacionales. Sus áreas de investigación incluyen redes de comunicaciones inalámbricas, técnicas MIMO-OFDM, codificación espacio-tiempo-frecuencia, técnicas de capa física para redes de 4ª generación. Ha impartido cursos de posgrado en el DET desde 1980 en el área de telecomunicaciones. Obtuvo el 1º lugar en el III Premio Anual Ericsson de Telecomunicaciones en 1988. Ha realizado estancias de investigación en Telefónica de España, Madrid (1989), en la Universidad de Arizona en Tucson (1997) y en la Universidad de Texas en Austin (2008).